

Cite No. 3

1/1 ページ

Searching PAJ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-032956
(43)Date of publication of application : 10.03.1979

(51)Int Cl

H03K 5/01
G06F 3/02
H03K 1/10

BEST AVAILABLE COPY

(21)Application number : 52-099298

(71)Applicant : OMRON TATEISI ELECTRONICS CO

(22)Date of filing : 10.08.1977

(72)Inventor : MIYAWAKI NORIO
DOI TETSUO

(54) INPUT CIRCUIT

(57)Abstract:

PURPOSE: To make a circuit constitution simple and make it possible to eliminate influences of chattering and induced noise by using two gate circuits as the output of an integrating circuit in case that contact signals are inputted to a digital circuit.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C), 1998,2003 Japan Patent Office

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAKRaQwADA354032956...> 2006/03/08

4

BEST AVAILABLE COPY

⑨日本国特許庁
公開特許公報

⑩特許出願公開
昭54-32956

⑪Int. Cl.³ 識別記号 ⑫日本分類 庁内整理番号 ⑬公開 昭和54年(1979)3月10日
H 03 K 5/01 98(6) C 21 7376-5J
G 06 F 3/02 97(7) B 1 7010-5B
H 03 K 1/10 6647-5J 発明の数 1
審査請求 未請求

(全 3 頁)

⑭入力回路

⑮発明者 土井哲雄

京都市右京区花園土堂町10番地
立石電機株式会社内

⑯特願 昭52-99298

⑰出願人 立石電機株式会社

⑱出願 昭52(1977)8月19日

京都市右京区花園土堂町10番地

⑲発明者 宮崎剛夫

⑳代理人 弁理士 新井祐介

京都市右京区花園土堂町10番地
立石電機株式会社内

明 細 書

1. 発明の名称

入力回路

2. 特許請求の範囲

① 入力信号を微分する微分回路と、前記微分回路の入力に前記微分回路の出力が接続された第1のゲートと、一方の入力に前記微分回路の出力が接続され他方の入力に前記第1のゲートの出力が接続される第2のゲートとからなる入力回路。

② 前記第2のゲートの出力にその一方の入力が接続された第3のゲートを有し、このゲートの他方の入力に入力信号を加えるようにして入力信号により前記第2のゲートの出力信号を制御するようにした発振回路の施設部と前記微分回路の入力回路。

3. 発明の利点を説明

この発明はデジタル回路に施設信号を入力する組合せにおいて、チャタリングやノイズの発生を抑制する入力回路に関する。

従来のこの種の入力回路は、例えば第1図に示すように構成されている。すなわち入力信号を微分回路11で微分したのち、インバータ12でこの微分出力を所定のレベルで弁別し、このインバータ12の出力を微分回路11で微分し、立上がり時と微分出力を得る。また立下がり時の微分出力は、インバータ14と微分回路13とによって得る。立上がり時及び立下がり時の微分出力は、第0.5ゲート15をへて出力される。こうして微分回路11による微分信号が第2図Aに示すように入力されたとき、チャタリングやノイズを抑制して信号の立上がり時及び立下がり時にそれぞれ微分出力を第2図Bに示すようにして、この微分出力でローム回路等で構成されるデジタル回路のフリップフロップをセットまたはリセットするようにしている。

本発明は上記と同様の構成を有する入力回路をより簡単な回路構成で実現することを目的とする。

以下本発明の実施例について説明する。まず

(2)

特開昭54-32956

BEST AVAILABLE COPY

特開昭54-32956(2)

ローパスで抽出された入力ゲート（例えば、 $M \times M$ ゲート、 $M \times R$ ゲートなど）の入出力特性を算出する。この図で抽出物は図4に示すように、一方の入力のみに入力信号を加えたときの特性を示しており、スレッシュホールド電圧は V_1 となっている。図5は図4の例に示すように、2つの入力を加えて入力信号を加えたときの特性を示し、このときはスレッシュホールド電圧 V_2 が前記のスレッシュホールド電圧 V_1 より高くなっている。本発明ではこのスレッシュホールド電圧の差を利用して、第1図で用いた差分回路を省略して抽出物を簡単にしているのである。

第6図は第1の実施例を示し、この図で抽出物とコンデンサとで差分回路を構成し、この差分回路の出力を2つの入力が増幅された $M \times M$ ゲートに入力するとともに、 $M \times M$ ゲートに入力する。 $M \times M$ ゲートの一方の入力は $M \times M$ ゲートの出力に接続する。すると図4に示すような関係性が差分

回路で実現したとき、差分回路の出力は図6の図に示すようになる。2つの入力が増幅されてインバータとして加算する $M \times M$ ゲートのスレッシュホールド電圧は、図6に示したように比較的低い電圧 V_2 となっている。差分出力はこのスレッシュホールド電圧 V_2 を加えると、 $M \times M$ ゲートの出力は反転する（第6図の参照）。一方、 $M \times M$ ゲートのスレッシュホールド電圧は相対的に高い電圧 V_1 となっているため、差分出力がこの電圧 V_1 に達した時点で $M \times M$ ゲートの出力が“L”になり、その後は V_2 に達した時点で“H”に戻る。従って、差分パルスと同様の短いパルス信号を得ることが出来る。また抽出入力信号の立下がり時にパルス信号を得ることが出来る。こうしてサブスリムや雑音ノイズなどの影響が低減された信号を、入力信号の立下がり時及び立下がり時にデジタル回路に送ることのできる。

第7図は第2の実施例を示している。この図

では $M \times M$ ゲートの出力にインバータを介して $M \times M$ ゲートの一方の入力を接続し、 $M \times M$ ゲートの他方の入力には入力信号を加えるようにしている。図6の図のみで、抽出物と図と同様である。この抽出物より入力信号の立下がり時のみパルス信号を得るようにしている。すなわち $M \times M$ ゲートからは抽出物に示すように、入力信号の立下がり時と立下がり時で出るパルス信号が得られるが、 $M \times M$ ゲートに入力する入力信号が“H”の時のみ、すなわち立下がり時のみパルスを出すようにして、立下がり時のパルス信号を得るようにしているのである。

以上抽出物について説明したように、本発明によれば差分回路を用いることなく極めて簡単な回路構成で、差分出力と内部のパルス信号を得ることが出来る。また抽出物を用いたゲートを用いているので、同一の100MHzペースに同期化されている信号をゲートを用いることができ、極めて高精度を得ることが出来る。

である。

4. 抽出物の簡単な説明

第1図は従来の例を示す抽出物、図4図5、図6は第1図を説明するための図、図7図8はローパスゲートの入力特性を示すグラフ、第4図例、図5図6を説明するための図、第6図は第2図を説明するための図、第7図は第3図を説明するための図、第8図は第4図を説明するための図である。

- | | |
|--------------------------|----------|
| 1. 抽出物 | 2. アジタ回路 |
| 3. サブスリム | 11. 差分回路 |
| 4. H. 抽出インバータ | 12. 抽出回路 |
| 10. $M \times M$ ゲート | |
| 24, 25. $M \times M$ ゲート | |

出願人 立石電機株式会社
代理人 新井 和 介

(3)

特開昭 5 4 - 3 2 9 5 6

BEST AVAILABLE COPY

